

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043468  
 (43)Date of publication of application : 08.02.2002

(51)Int.CI. H01L 23/15  
 H01L 23/12  
 H05K 3/46

(21)Application number : 2000-226269 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 27.07.2000 (72)Inventor : MORIIIZUMI KIYOKAZU

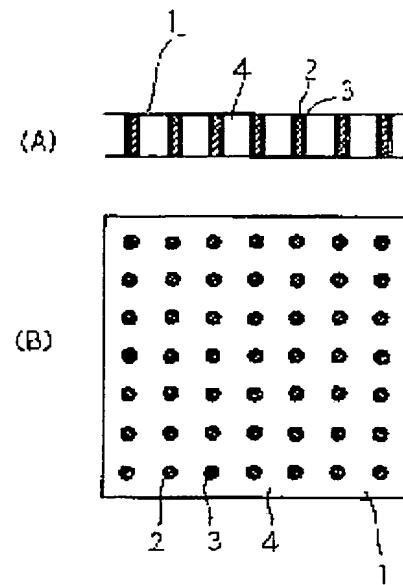
## (54) OBVERSE AND REVERSE CONDUCTION BOARD AND ITS MANUFACTURING METHOD

## (57)Abstract:

太発明の第1の表裏等構造板を示す図

PROBLEM TO BE SOLVED: To provide an obverse and reverse conduction board capable of high density requirement concerning the highly dense obverse and reverse conduction board and its manufacturing method corresponding to the requirement of the high integration multi-terminal of LSI, in particular, an electronic computer or the like and the miniaturization or the like of the device.

SOLUTION: The obverse and reverse conduction board has a plurality of column bodies composed of a material which can be etched anisotropically and having a conduction part conducting at least a first face and a second face, and an insulation board supporting the plurality of the column bodies.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43468

(P2002-43468A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 01 L 23/15		H 01 L 23/12	3 0 1 Z 5 E 3 4 6
23/12			5 0 1 B
	3 0 1	H 05 K 3/46	N
	5 0 1	H 01 L 23/14	C
H 05 K 3/46		23/12	D

審査請求 未請求 請求項の数10 ○L (全13頁) 最終頁に統く

(21) 出願番号	特願2000-226269(P2000-226269)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22) 出願日	平成12年7月27日 (2000.7.27)	(72) 発明者	森泉 清和 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74) 代理人	100108187 弁理士 横山 淳一 Fターム(参考) 5E346 AA42 CC04 CC08 CC16 CC32 CC36 CC38 DD16 DD22 DD44 EE32 EE38 GG15 GG17 GG18 GG28 HH03

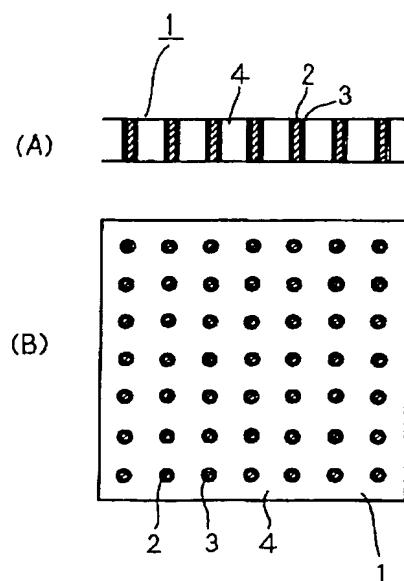
## (54) 【発明の名称】 表裏導通基板及びその製造方法

## (57) 【要約】

【課題】本発明は表裏導通基板とその製造方法に関するもので、特に電子計算機等、LSIの高集積多端子化、装置の小型化等の要求に対応する高密度な表裏導通基板及びその製造方法に関し、更なる高密度要求が可能な表裏導通基板を提供する。

【解決手段】異方性エッチング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する複数の柱体と、該複数の柱体を支持する絶縁性基板とを有する。

## 本発明の第1の表裏導通基板を示す図



## 【特許請求の範囲】

【請求項1】異方性エッチング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する複数の柱体と、該複数の柱体を支持する絶縁性材料と、から構成されることを特徴とする表裏導通基板。

【請求項2】少なくとも第1の面には半導体部品を実装するためのパッドが形成されたことを特徴とする請求項1記載の表裏導通基板。

【請求項3】少なくとも第1の面に、配線パターン層と絶縁層から構成された薄膜層が形成されたことを特徴とする請求項1記載の表裏導通基板。

【請求項4】前記絶縁性材料は、実装される半導体部品と当該絶縁性材料との熱膨張率の差を吸収する材料が混合されていることを特徴とする請求項1記載の表裏導通基板。

【請求項5】異方性エッチング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する第1の柱体と、

該第1の柱体の周囲を取り囲んだ状態で離間していると共に、グランドと接続された導電部分を有する第2の柱体と、

該第1の柱体と該第2の柱体を支持する絶縁性材料と、から構成されたことを特徴とする表裏導通基板。

【請求項6】少なくとも第1の面に形成されると共に、信号パターン層とグランド層を有する薄膜層をさらに備え、

前記第1の柱体の導電部分は該信号パターンと電気的に接続され、

前記第2の柱体の導電部分は該グランド層と電気的に接続されていることを特徴とする請求項5記載の表裏導通基板。

【請求項7】異方性エッチング処理によって、少なくとも第1の面と第2の面とを導通させる複数の柱体を形成する工程と、

該複数の柱体間を絶縁性材料で充填する工程と、を有することを特徴とする表裏導通基板の製造方法。

【請求項8】前記絶縁性材料の充填工程後、第1の面と第2の面とを研磨する工程をさらに有することを特徴とする請求項7記載の表裏導通基板の製造方法。

【請求項9】前記異方性エッチング工程では、前記複数の柱体が連結されるよう、当該エッチングされる材料の一部を残すことを特徴とする請求項7記載の表裏導通基板の製造方法。

【請求項10】異方性エッチング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する複数の柱体と、該複数の柱体を支持する絶縁性材料と、から構成された内層板を備え、

該内層板を複数枚積み重ねることで構成された多層プリント配線板。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明は表裏導通基板とその製造方法に関するもので、特に電子計算機等、LSIの高集積多端子化、装置の小型化等の要求に対応する高密度な表裏導通基板及びその製造方法に関するものである。

【0002】近年、電子機器に使用されるLSIパッケージ、プリント配線板はLSI等の半導体部品の高集積化、多端子化に伴い、更なる高密度化が望まれている。

## 【0003】

【従来の技術】LSIパッケージの場合、フェースダウンによってLSIはセラミック基板や有機基板上に実装される。更にそのセラミック基板や有機基板は半田ボールを介してプリント基板に実装される。

【0004】LSIが実装された第1の面（表面）と半田ボールが形成された第2の面（裏面）を電気的な導通を得るために、スルーホールが形成される。このスルーホールをもったセラミック基板や樹脂基板を表裏導通基板という。

【0005】セラミック基板は、材料となるグリーンシートをパンチングにより穴あけし、スルーホールの表面やグリーンシート表面を銅メッキ処理した後、複数のグリーンシートを積層し、加圧し焼成することで製造される。

【0006】樹脂基板は、パターンニングされた銅張内層板をプリプレグと交互に積層し、加圧し焼成することで製造される。この焼成時の温度はセラミック基板より低温である。樹脂基板を製造した後、スルーホールをあけ、表面を銅メッキ処理する。

## 【0007】

【発明が解決しようとする課題】将来はますます高密度実装に発展することが予想され、それに伴い基板に形成されるスルーホールの径は小さく、スルーホールのピッチはより狭まったものとなることが予想される。

【0008】しかしセラミック基板では、スルーホールピッチを狭めることに限界がある。何故ならスルーホール形成時のパンチングは機械加工であるためパンチの送りピッチ量より狭まったスルーホールピッチにすることはできない。

【0009】有機基板も貫通スルーホール形成は、ドリルによる機械加工の穴あけ処理であるので、同様に送りピッチ量より狭まったスルーホールピッチにすることはできない。更に有機基板で使用するドリルを細く長くすることは穴あけ加工時にドリルが折れてしまう可能性がある。これは貫通スルーホールがハイアスペクトであればあるほど顕著である。なお、セラミック基板の穴あけ処理は薄いグリーンシート1枚単位の加工なので、ハイアスペクトな穴あけ処理ではない。貫通スルーホールを形成した後のメッキ処理において、貫通スルーホールが

3

ハイアスペクトであればあるほど、メッキ液が貫通スルーホール内に侵入しづらく、よって貫通スルーホールの壁面が部分的にメッキされず、電気的導通の信頼性が低下する。

【0010】一方、薄膜積層技術を用いた薄膜回路を有するMCM (Multi Chip Module) では、LSIのバンブピッチを微細ピッチにすることは可能である。しかし、その薄膜回路が形成されるベース基板には上記セラミック基板や樹脂基板が用いられていることから、スルーホールピッチを狭めることに同様の問題があった。

【0011】また、高密度実装を行うには、ノイズ対策も十分考慮しなければならない。

【0012】従って本発明の目的は、更なる高密度要求が可能な表裏導通基板を提供することである。

【0013】また本発明の他の目的は、ノイズ対策を施した表裏導通基板を提供することである。

【0014】

【課題を解決するための手段】上記目的は、異方性エッティング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する複数の柱体と、該複数の柱体を支持する絶縁性基板と、から構成されることを特徴とする表裏導通基板、によって達成することができる。

【0015】この発明によれば、機械加工に変えて異方性エッティングにて処理することで、スルーホールのピッチが、穴あけ時のピッチ送り量に左右されることがない。また、異方性エッティングを行うことでハイアスペクトなスルーホールを形成することができる。

【0016】上記他の目的は、異方性エッティング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する第1の柱体と、該第1の柱体の周囲を取り囲んだ状態で離間していると共に、グランドと接続された導電部分を有する第2の柱体と、該第1の柱体と該第2の柱体を支持する絶縁性材料と、から構成されたことを特徴とする表裏導通基板、によって達成することができる。

【0017】この発明によれば、導電部分を有する第1の柱体と、この第1の柱体を取り囲むようにグランドと接続された第2の柱体を配置し、これら柱を絶縁性材料で支持させることにより、同軸構造を構成することができる。そしてこの第1の柱体と第2の柱体の距離を選択することでインピーダンス整合を行うことができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図を使って詳細に説明する。

(第1の実施の形態) 図1は本発明の第1の表裏導通基板を示す図であり、同図(A)はその断面図であり、同図(B)は上面図である。符号1は表裏導通基板、符号2は柱体で、例えばシリコンを材料とする異方性結晶体

である。符号3は導電部分であって、柱体の周囲を覆った導電性膜である。導電性膜は、例えばタングステン、モリブデン、プラチナ、金、銅等の中から適宜選択され、後述するセラミック性絶縁性材料の焼成温度より高い融点を有する導電性の金属であれば適宜選択可能である。符号4は絶縁性基板で、第1の表裏導通基板1ではセラミック性絶縁性材料である。このセラミック性絶縁材料は周知のセラミック基板を製造する際に使用されるものであれば、特に制限を受けるものではない。

10 【0019】図1(B)に示されるように、第1の表裏導通基板1に形成されるシリコン性の柱体2はマトリクス状に整列して配列されている。しかしマトリクス配列に限定される訳ではなく、表裏導通基板1の表裏の導通を取る際に信号バターン数に応じて必要個数を形成すればよい。

【0020】次にこの第1の表裏導通基板1の製造方法について、図2と図3を用いて説明する。図2は第1の表裏導通基板の製造手順を示す図(その1)であり、図3は第1の表裏導通基板の製造手順を示す図(その2)である。

【0021】まず、完成した表裏導通基板を構成するシリコン性柱体2の高さ以上の厚みを持ったシリコンウエハ20を用意する。(図2(A)) このシリコンウエハ20の表面20aにレジストを塗布しスピンドルコートすることで、数十ミクロンの厚さを持ったレジスト膜を形成する。次に露光・現像することにより所望のパターンのレジスト5として形成される。(図2(B)) 図2

(C)に示すように、レジスト5をマスクとしてシリコンウエハ20を異方性エッティングし、ハイアスペクトな柱体21を形成する。この異方性エッティングは、ICP (Inductive Coupling Plasma) エッティング技術、あるいは光励起電解研磨技術等を用いることができる。

【0022】このICPエッティング技術や、光励起電解研磨技術は、小型ハードディスクドライブのフレーム形成時に使用される鋳型を製造する際その鋳型に微細な凹凸を形成する時に用いられる。その他、シリコン性の半導体チップを高さ方向に積み重ねた三次元実装を行う際に上下方向の導通を取る為にシリコンチップに貫通穴を形成する時にも用いられる。

【0023】この異方性エッティングによりアスペクト比(径と高さの比)100にも至る柱体21を形成することが可能となる。すなわち、柱径を10μmとした場合、高さ1mm、ピッチ20μmの柱体まで形成することができる。なお、第1の実施の形態では一例として、柱体21は、径20μm、高さ0.6mm、ピッチ50μmにて説明する。

【0024】異方性エッティングは、シリコンウエハ20の一部を残してなされる。つまり複数の柱体21を連結する連結部22を残して異方性エッティングされる。エッ

チングスピードは例えば $10 \mu\text{m}/\text{分}$ と予め決まっているので、時間管理すれば適当な厚みを持たせた連結部22を形成することができる。異方性エッティングが終了すればレジスト5をエッティングにて剥離する。

【0025】図2(D)に示すように、柱体21と連結部22の表面に導電性膜30を被覆させる。被覆するためには、蒸着手法、メッキ手法等を使用することができる。この導電性膜30は絶縁性基板形成時の焼成温度より高い融点を有する導電性の金属である。この導電性膜30は、柱体21がシリコンならばタンクステンを選択することが好ましい。シリコンとタンクステンは熱膨張率が近いため、パッドがそれらの上に形成された時に、柱体21と導電性膜30の熱膨張率の差を原因とするパッドの剥離を防止することができる。なお、第1の実施の形態では、一例としてタンクステンを蒸着手法にて $5 \mu\text{m}$ 析出した。異方性エッティングを行って形成された柱体の露出面にメッキ手法を施すことで、ハイアスペクトなスルーホールを精度よく形成することができる。これは、従来のスルーホールの中にエッティング液を流し入れるという技術思想から、芯となる柱体の露出面にメッキ処理を行うという技術思想に変更したためである。つまり、スルーホールの径よりピッチ幅のほうが広いので、メッキ液が芯となる柱体の露出面に付着しやすくなり、よって、電気的導通の信頼性が低下することがなくなる。メッキ手法に変えて蒸着手法の場合も同様である。

【0026】次に、導電性膜30が被覆された柱体21間に絶縁性材料40を充填する。すなわち、絶縁性材料40を充填して、柱21を材料40により支持する。絶縁性材料40は周知のセラミック基板を製造する時に使用されるセラミック粉末であり、これを異方性エッティングされることで形成された柱体21と連結部22を被覆した導電性膜30の上に供給する。その後この絶縁性材料40を加圧して所定温度で焼結することで図3(E)に示すように、導電性膜30上に絶縁性基板が形成される。この絶縁性基板の厚みは、導電性膜30にて覆われた柱体21の高さ以上に形成されるものである。

【0027】絶縁性材料はセラミック粉末の他、ガラス性材料でも適用可能である。ある程度の流動性を持たせた溶融ガラス材料であれば、導電性膜30で被覆された柱体21と連結部22の上に供給することができる。このため導電性膜30はガラス性材料の融点より高い融点を有する導電性の金属であり、例えばタンクステンである。ガラス性材料の供給後はこのガラス性材料を凝固させることで絶縁性基板が形成される。この絶縁性基板の厚みも、導電性膜30にて覆われた柱体21の高さ以上に形成されるものである。

【0028】その後、図3(F)に示すように、絶縁性基板を一点破線にて示されるところまで両面研磨する。第1の表裏導通基板は第1の面と第2の面、つまり表裏面での導通を得なければならないので、表裏面に導電性

膜を露出させることが必要である。従って周知の研磨技術を用いて第1の面、例えば表面であれば絶縁性材料40の一部40aと導電性膜の一部30a及び柱体21の一部21aまで研磨する。その表面から見てシリコン性の柱体21の周りを取り囲むようにタンクステンの導電性膜30が形成されたようになる。一方、第2の面、例えば裏面であれば連結部22と柱体21の連結部付近と導電性膜30b及び絶縁性材料40の一部40bが研磨される。その裏面から見てシリコン性の柱体21の周りを取り囲むようにタンクステンの導電性膜30が形成されたようになる。

【0029】以上の工程を行うことで、図3(G)に示す、径 $30 \mu\text{m}$ 、ピッチ $50 \mu\text{m}$ 、厚さ $0.5 \text{mm}$ のスルーホールを持った表裏導通基板1が形成される次に第1の表裏導通基板をICパッケージ用基板に適用した例を、図4を使って説明する。図中50は第1の表裏導通基板であり、51はシリコン性の柱体であり、52は柱体51の周囲を被覆した例えばタンクステンからなる導電性膜である。そして柱体51と導電性膜52の組み合せによって、基板の表裏を電気的に接続するための導通路、すなわちスルーホールとなる。

【0030】柱体51と導電性膜52とから構成されるスルーホールを覆った状態で表裏導通基板50の第1の面、例えば表面50aにはパッド53が形成される。このパッド53に、半導体部品57の表面57aに形成された例えば半田や金等から適宜選択された金属バンプ55を接合させることで、表裏導通基板50上に半導体部品57を実装させることができる。なお、半導体部品57と表裏導通基板50との間には、金属バンプ55とパッド53の接合強度を補うため、あるいは空気中の水分の介入による腐食防止のため、熱硬化性あるいは光硬化性の絶縁性接着剤60が封止剤として介在される。

【0031】一方、柱体51と導電性膜52とから構成されるスルーホールを覆った状態で表裏導通基板50の第2の面、例えば裏面50bにはパッド54が形成される。このパッド54には半田あるいは金等から適宜選択された金属バンプ56が形成される。プリント板59の表面59aにはパッド58が金属バンプ56の形成位置に対応して形成され、金属バンプ56を溶融させることで、半導体部品57が搭載された表裏導通基板50をプリント板59に搭載させることができる。

【0032】図5は、図4における変形例を示す図であり、図4と同一符号を付したものは同一対象物を示し、その説明は省略する。

【0033】図4の例では第1の表裏導通基板50の上に直接半導体部品57を実装した例を示したが、図5に示されるように、第1の表裏導通基板50と半導体部品57との間に薄膜層61を介在させてもよい。この薄膜層61は、半導体部品57と第1の表裏導通基板とを接続する配線パターンを微細なパターンとして高速

伝送を可能にし、高密度配線を実現するものである。この薄膜層61は信号層や誘電体層との積層体による薄膜コンデンサ62や抵抗体63、薄膜層61の多層構造に伴う層間接続体64を有する。

【0034】第1の表裏導通基板50に形成されたパッド53と薄膜層61の表面61aに形成されたパッド66とは、上記信号層や層間接続体を経由して電気的に接続される。薄膜層61のパッド66と半導体部品57とは半田や金等から適宜選択された金属バンプ67によって接合される。

【0035】図5に示すような薄膜層61を介在させることにより、機能回路実装に伴う部品点数の減少や微細パターン形成等による高密度実装を行うことが可能となる。（第2の実施の形態）図6乃至図8に示す第2の表裏導通基板は、先の第1の表裏導通基板にノイズ対策を施したものである。ノイズ対策として同軸構造のケーブルを用いることが有効であることは広く知られている。つまり、芯線とその周囲を取り巻く絶縁材、及びその絶縁材を取り巻く金属体による同軸構造において、絶縁材の誘電率と金属体までの距離を調整することで、ノイズの乗りにくい構造とすることができます。

【0036】この考え方を表裏導通基板に形成されるスルーホールに適用したものが第2の表裏導通基板である。上記したようにシリコンのエッチング形状を決定するのはレジストのパターンであり、しかもこのレジストは任意に自由に選択することができる。このレジストを選択することで、シリコンのエッチング形状を同軸構造適用可能な形状に加工することができる。

【0037】図6及び図7にその製造方法について説明する。図6は本発明の第2の表裏導通基板を示す図（その1）であり、図7は本発明の第2の表裏導通基板を示す図（その2）であり、図8は第2の表裏導通基板の配線構造を示す図である。

【0038】図6（A-1）に示すように、シリコンウェハ201に形成されるエッチング形状が、芯線となる柱体202とその柱体202の周囲を取り巻く円筒状の柱体204となるようなレジストを選択し、そのレジストをシリコンウェハ201の表面に形成し、異方性エッチングを行う。ここまででは、先に説明した図2の工程（A）乃至（C）の工程に基づいて行われる。その結果、異方性エッチング後のシリコンウェハ201の底面201aから隆起した柱体202と、その柱体202から所定距離の空間203を介して柱体204が形成される。図6（A-2）にその上面図を示し、図6（A-1）はA-A'断面図である。

【0039】レジストを剥離させた後、エッチング加工されたシリコンウェハ201の露出面、すなわち、柱体202の表面と柱体204の表面及び底面201aの表面に、メッキ手法あるいは蒸着手法によって例えばタンクスステンによって構成させた導電部分となる導電性膜2

05を形成する。この導電性膜形成は先に説明した図2の工程（D）に基づいて行われる。

【0040】導電性膜205が形成された後、セラミック基板製造時に使用される周知のセラミック粉末を、導電性膜が形成されたシリコンウェハ上にまぶす。そして所定温度で焼結することで絶縁性基板が形成される。これは先に説明した図3の工程（E）に基づいて行われる。なお、絶縁性材料206はセラミック粉末の他、ガラス性材料でも適用可能である。ある程度の流動性を持たせた溶融ガラス材料を導電性膜205で被覆されたところに供給させればよい。供給後はガラス材材料を凝固させることで絶縁性基板が形成される。

【0041】その後、絶縁性基板を両面研磨し、表裏面に導電性膜205を露出させる。この研磨工程は先に説明した図3の工程（F）に基づいて行われる。

【0042】ここまでこの工程によって形成されたのが、図6（B-1）に示される第2の表裏導通基板200である。柱体202の表面を覆う導電性膜205と柱体204の表面を覆う導電性膜205及びそれら間に充填された絶縁性材料206によって同軸状のスルーホール207を形成することができる。なお、図6（B-2）はその上面図を示し、図6（B-1）はB-B'断面図である。

【0043】次に図7（C-1）に示すように、研磨された第2の表裏導通基板200の研磨面にパッド208とパッド209を形成する。パッド208はC-C'断面図である図7（C-2）に示されるように、同軸構造の芯線に相当する柱体202の表面に、導電性膜205と電気的接続関係を持って形成される。パッド209はC-C'断面図である図7（C-2）に示されるように、そのパッド208の周囲を取り囲んだ状態で且つ柱体204の表面に導電性膜205と電気的接続関係を持って形成されている。

【0044】第2の表裏導通基板200に形成された同軸状のスルーホール207を有効なものにするには、信号線として使われる芯線に相当する柱体202の周囲を取り囲んだ柱体204をグランドに電気的に接続する必要がある。このために図9に示すように、第2の表裏導通基板200の上に信号パターン層211とグランドパターン層212とが絶縁層213によって積層された薄膜層を形成する。そして、薄膜層に形成されたグランドパターン層212に、VIAと呼ばれる層間接続体210を介して、柱体204の露出面に被覆された導電性膜205と電気的に接続されたパッド209が接続される。

【0045】一方、薄膜層内のVIAと呼ばれる層間接続体210と信号パターン層211を経由することによって、導電性膜が被覆された柱体202に接続されたパッド208からの信号は、薄膜層の最表面に引き出される。

【0046】第2の表裏導通基板によれば、絶縁体の誘電率と、同軸状のスルーホール207における図6(B-1) "d"で示される絶縁性材料の距離を設定することで所望のインピーダンスの値に設定することができる。インピーダンスの値が調整可能となることでノイズに強い表裏導通基板を提供することができる。

【0047】なお第2の表裏導通基板の説明において、スルーホールが一列配列になっている図6乃至図7を用いて説明したが、スルーホールの配列はこれに限定されるものではなく、信号配線数や配線経路形態等において適宜決定されるものである。例えば、図1に示される第1の表裏導通基板のようにスルーホールがマトリクス状に配列されるものであってもよい。(第3の実施の形態) 図9及び図10は第3の表裏導通基板を示す図であり、第2の表裏導通基板にて適用した同軸構造のスルーホールの変形例である。第3の表裏導通基板も同軸構造のスルーホールを持った基板である。

【0048】第2の表裏導通基板に形成された同軸構造のスルーホールは、円筒状柱体204と、そのスルーホールと隣り合うスルーホールの円筒状の柱体204との隙間にはセラミックあるいはガラスからなる絶縁性材料206で支持されることで構成されていた。しかし、第3の表裏導通基板では絶縁性材料206で支持されるのではなく、その隙間が発生しないようにシリコンが残るようエッチング加工し、シリコンにてその隙間が実質的に埋まるようにしたものである。

【0049】図9(A-1)に示すように、シリコンウェハ301に形成されるエッチング形状が、同軸構造の絶縁体が構成される部分303のみが除去されるようなレジストを選択し、そのレジストをシリコンウェハ301の表面に形成し、異方性エッチングを行う。つまり、このエッチングにより、平坦なシリコンウェハ301に底面301aを残して、くぼみが形成され、そのくぼみの中心に同軸構造の芯線に相当する柱体302が形成されることになる。このくぼみが同軸構造の絶縁体が構成される部分303となる。図9(A-2)はその上面図であり、図9(A-1)はA-A'断面図である。

【0050】次に第2の表裏導通基板と同様に、図2の工程(D)、図3の工程(E)、図3の工程(F)に基づいた処理を行うことにより、シリコンウェハ301の表面に導電部分となる導電性膜306が被覆される。絶縁性材料305の供給の後、両面研磨が行われ、図9(B-1)に示す、第3の表裏導通基板300が形成される。図9(B-2)はその上面図であり、図9(B-1)はB-B'断面図である。

【0051】第3の表裏導通基板300にも、第2の表裏導通基板のパッド208と209に相当するパッドが形成される。図10(C-1)に示すように、同軸構造の芯線に相当する柱体302の表面を被覆する導電性膜306と電気的接続関係を持ったパッド308が形成さ

れる。また、図10(C-1)に示すように、そのパッド308と絶縁体305を除くシリコンブロック304、つまり研磨面には金属性のバターン309が一面に形成される。

【0052】第3の表裏導通基板300における同軸構造のスルーホール307は、導電性膜306によって被覆された柱体302と、その周囲を取り囲む絶縁体305、及びシリコンブロック304の表面の被覆された導電性膜306によって構成される。

10 【0053】そして、第3の表裏導通基板300に形成された同軸状のスルーホール307を有効にするため、つまり、バターン309をグランド層に電気的に接続するため、第2の表裏導通基板200と同様に、信号バターン層とグランドバターン層とが絶縁層にて多層化された薄膜層を、第3の表裏導通基板に形成する。そして、薄膜層に形成されたグランドバターン層にバターン309を層間接続体によって電気的に接続し、一方、信号バターン層にパッド308を層間接続体によって電気的に接続する。複数の信号バターン層と層間接続体を経由することにより、導電性膜が被覆された柱体302に接続されたパッド308からの信号は、薄膜層の最表面に引き出される。第3の表裏導通基板によれば、絶縁体の誘電率と、同軸状のスルーホール307における図9(B-1) "d"で示される絶縁性材料の距離を設定することで所望のインピーダンスの値に設定することができる。インピーダンスの値が調整可能となることでノイズに強い表裏導通基板を提供することができる。さらに、第3の表裏導通基板では同軸構造のスルーホールの隙間をシリコンブロックで占めることにより、第2の表裏導通基板よりも絶縁性材料を減らすことができ、製造コストを抑えることができる。

【0054】なお、第3の表裏導通基板の説明において、スルーホールが一列配列になっている図10乃至図11を用いて説明したが、スルーホールの配列はこれに限定されるものではなく、信号配線数や配線経路形態等において適宜決定されるものである。例えば、図1に示される第1の表裏導通基板のようにスルーホールがマトリクス状に配列されるものであってもよい。(第4の実施の形態) 第4の表裏導通基板を図11乃至図13を用いて説明する。図11は本発明の第4の表裏導通基板を示す図であり、同図(A)はその断面図であり、同図(B)は上面図である。符号70は表裏導通基板であり、符号75はスルーホールであり、壁面が例えば、銅、タンクステンや、モリブデン、プラチナ、金等の中から適宜選択した導電部分となる導電性膜71が膜形成されている。本例では銅を被覆している。

【0055】このスルーホール75が第4の表裏導通基板70では図11(B)に示すようにマトリクス状に配置されている。ただしスルーホールの配置はマトリクス状に限定される訳ではなく、表裏導通基板1の表裏の導

通を取る際に信号パターン数に応じて必要個数を形成すればよい。

【0056】符号72は裏面に形成された導体層であり、例えば銅である。符号73は表面に形成された導体層であり、例えば銅である。符号74は樹脂絶縁材であり、例えばエポキシあるいはポリイミド等の有機樹脂材である。導体層72と導体層73は図11(B)に示すように、第4の表裏導通基板70のスルーホール形成位置を除いた一面上に形成される。

【0057】次にこの第4の表裏導通基板70の製造方法について、図12と図13を用いて説明する。図12は第4の表裏導通基板の製造手順を示す図(その1)であり、図13は第4表裏導通基板の製造手順を示す図(その2)である。

【0058】第4の表裏導通基板の製法方法における図12の工程(A)乃至工程(D)迄は、第1の表裏導通基板の製造方法における図2の工程(A)乃至工程(D)迄と同じであるのでその詳細な説明は省略する。なお、図12における、符号80はシリコンウェハであり、図2の符号20に相当する。符号80aはシリコンウェハ80の表面を示し、図2の符号20aに相当する。符号81はレジストであり、図2の符号5に相当する。符号82は柱体であり、図2の符号21に相当する。符号83は連結部であり、図2の符号22に相当する。符号84は導電性膜であり、図2の符号30に相当する。導電性膜84は例えば銅の電気メッキ手法にて付着される。

【0059】次に、導電性膜84が形成された柱体82間を充填すべく、エポキシあるいはプリプレグ等の有機樹脂材740を塗布し、所定温度でベークし硬化させる。よって図13の工程(E)に示すように、導電性膜84が形成された柱体82を完全に覆った有機樹脂材740が形成される。

【0060】その後、図13の工程(F)に示されるように、有機樹脂材740を一点破線にて示されたところまで片面研磨する。その結果、図13の工程(G)に示すように片面研磨面85からはシリコンの柱体82の一部82aと導電性膜84の一部84aが露出する。第4の表裏導通基板ではもう片面は研磨処理しない。

【0061】両面に導体層を形成するため、図13の工程(H)に示すように、研磨面上に銅の導体層73をメッキ手法あるいは蒸着手法にて形成する。この導体層73はシリコンの柱体82が形成されたところ以外の研磨面の一面に形成される。

【0062】その後、図13の工程(I)に示すように、エッティングにてシリコンを除去する。このエッティングによってシリコンの連結部83及び柱体82が除去される。またこのエッティングは異方性である必要はなく、等方性エッティングでもかまわない。

【0063】エッティングによって樹脂絶縁材74の研磨

されなかった面に導電性膜84が導体層72として形成される。また、柱体82の周囲を取り囲んでいた導電性膜84がスルーホール75の壁面に形成された導電体となり、これで表裏面の導通を取ることができる。

【0064】次に、第4の表裏導通基板を多層プリント配線板に適用した例を、図14を用いて説明する。この多層プリント配線板は、例えば各種半導体部品の実装基板として用いられる他、ドーターボードとなるプリント配線板の実装先となるマザーボードとしても用いられる。

【0065】第4の表裏導通基板90は、両面に銅の導体層が形成されており、多層プリント配線板の内層板としてそれぞれ使用することができる。その導体層91は用途に応じて電源層やグランド層、あるいは信号パターン層に回路形成される。複数の内層板となる第4の表裏導通基板の間にプリプレグ92を交互に積層し所定温度でハードベークすることで両者が一体化され、多層プリント配線板が形成される。なお、図14の例では5枚の第4の表裏導通基板90a～90eを4枚のプリプレグで積層して形成された多層プリント配線板である。

【0066】その後、多層プリント配線板を貫通する貫通穴をドリル等で形成した後、貫通穴の壁面を含み公知のメッキ手法にて導電メッキ膜94処理を形成することで、スルーホール93が形成される。

【0067】第4の表裏導通基板90を多層プリント配線板の内層体として内層での回路密度が格段に向上する。更に、1枚当たりの回路密度が向上することによって積層数を減らすことができ、多層プリント配線板の製造歩留りを向上させる効果もある。

【0068】また、第4の表裏導通基板はMCM-L(L:Laminateの略)あるいはMCM-LD(LD:Laminate and Depo-sitの略)のコア基板としても適用することができる。図15はMCM-LDのコア基板として適用した例を示す。

【0069】図15に示すコア基板100は、シリコンの柱体103とその柱体103の周囲を取り囲んだ導電性膜104によってスルーホールが構成され、そのスルーホール間を樹脂絶縁材105にて埋めた第4の表裏導通基板101の表裏面に配線層102が形成されている。この配線層102は導体層109と絶縁層108が交互に積層され、第4の表裏導通基板101に形成されたスルーホールに形成されたパッド106に層間接続体であるVIA107を介して回路接続される。薄膜層102の表面には、図示しない半導体部品が複数個実装される。

【0070】第4の表裏導通基板101をコア基板100に適用することにより、表裏面に形成された薄膜層間の接続数を格段に増やすことができる。更に、薄膜層間の接続数が増加することで、より高密度なコア基板を提供することができる。

【0071】また、第4の表裏導通基板101をMCM-LDのコア基板100に適用する場合は、シリコン性の柱体103はそのまま残しておいたほうが好ましい。第1の理由として、柱体がそのまま残っていれば、スルーホールの上にパッド106を形成する際にシリコン性柱体103が土台の役割を果たし、パッド形成が良好となることである。

【0072】もし柱体がなくスルーホールが中空であると、真空吸着にてフィルム状の絶縁層108を張り付ける際、パッド106が変形することで、第4の表裏導通基板101と絶縁層108における密着性が低下する。この密着性の低下は変形したパッドの近辺が特に顕著である。この欠点を回避するのが第2の理由である。

【0073】この2つことを解消するにはスルーホールの穴埋め処理を後工程として追加しなければならないが、柱体をわざと残すことで後工程として必要となるであろう穴埋め処理を省略することができる。柱体をわざと残すには、予め決まっているエッチングスピードを考慮した上で、エッチング時間の調整を行うことで達成される。

【0074】一方、第4の表裏導通基板においては、実装される半導体部品と熱膨張率の差に伴う膨張率調整の為に、エポキシあるいはポリイミド等の樹脂絶縁材料の中にシリカと呼ばれる酸化シリコン( $SiO_2$ )や酸化アルミナ( $Al_2O_3$ )を適量混合させると都合がよい。

【0075】図16は表裏実装基板に熱膨張率調整材を混入させた状態を示す。第4の表裏導通基板400には半田や金等の金属バンプ402を介して半導体部品401が実装されている。特にペアチップ等の半導体部品401はシリコンベースに回路形成されているので、エポキシあるいはポリイミド等の表裏導通基板とは熱膨張率が異なる。この相違による応力は金属バンプとパッドとの接合部分に集中し、パッドの剥離やクラック等が発生することで接続の信頼性が低下する。

【0076】これを回避するために第4の表裏導通基板400を構成する樹脂絶縁材料の中に酸化シリコン404や酸化アルミナ405を混入させる。それにより、シリコンの熱膨張率に表裏導通基板の熱膨張率を近づけることができるので、熱膨張率の差に伴う不都合を回避することができる。

【0077】なお、この酸化シリコンと酸化アルミナは両者と共に樹脂絶縁材料の中に混入させてもよく、どちらか一方を混入させてよい。また酸化シリコンや酸化アルミナは膨張率調整の役割を持つと共に、樹脂絶縁材料の粘度調整としての役割も併せ持つ。

(付記1) 異方性エッチング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する複数の柱体と、該複数の柱体を支持する絶縁性基板と、から構成されることを特徴とする表裏導通基板。(1)

(付記2) 前記導通部分は、前記柱体の表面を被覆した導電性膜であることを特徴とする付記1記載の表裏導通基板。

(付記3) 前記絶縁性基板は、セラミック材料、ガラス材料、有機樹脂材のいずれかの材料から構成され、前記導電部分は、該絶縁性材料の焼成温度あるいは前記絶縁性材料の融点より高い融点を有する金属であることを特徴とする付記1記載の表裏導通基板。

10 (付記4) 少なくとも第1の面には半導体部品を実装するためのパッドが形成されたことを特徴とする付記1記載の表裏導通基板。(2)

(付記5) 少なくとも第1の面に、配線パターン層と絶縁層から構成された薄膜層が形成されたことを特徴とする付記1記載の表裏導通基板。(3)

(付記6) 前記絶縁性材料は、実装される半導体部品と当該絶縁性材料との熱膨張率の差を吸収する材料が混合されていることを特徴とする付記1記載の表裏導通基板。(4)

20 (付記7) 異方性エッチング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する第1の柱体と、該第1の柱体の周囲を取り囲んだ状態で離間していると共に、グランドと接続された導電部分を有する第2の柱体と、該第1の柱体と該第2の柱体を支持する絶縁性材料と、から構成されたことを特徴とする表裏導通基板。(5)

(付記8) 少なくとも一方の面に形成されると共に、信号パターン層とグランド層を有する薄膜層をさらに備え、前記第1の柱体の導電部分は該信号パターンと電気的に接続され、且つ該第2の柱体の導電部分は該グランド層と電気的に接続されていることを特徴とする請求項8記載の表裏導通基板。(6)

(付記9) 前記第2の柱体は、前記所定離間した領域を除く領域に位置することを特徴とする付記8記載の表裏導通基板。

(付記10) 異方性エッチング処理によって、少なくとも第1の面と第2の面とを導通させる導電部分を有する複数の柱体を形成する工程と、該複数の柱体間を絶縁性材料で充填させる工程と、を有することを特徴とする表裏導通基板の製造方法。(7)

40 (付記11) 前記絶縁性材料の充填工程後、第1の面と第2の面とを研磨する工程を更に有することを特徴とする付記10記載の表裏導通基板の製造方法。(8)

(付記12) 前記異方性エッチング工程では、前記複数の柱体が連結されるよう、当該エッチングされる材料の一部を残すことを特徴とする付記10記載の表裏導通基板の製造方法。(9)

(付記13) 異方性エッチング可能な材料から構成され、少なくとも第1の面と第2の面とを導通させる導電部分を有する複数の柱体と、該複数の柱体を支持する絶縁性材料と、から構成された内層板を備え、該内層板を

複数枚積み重ねることで構成されたことを特徴とする多層プリント配線板。(10)

(付記14) 異方性エッチング可能な材料から構成され少なくとも第1の面と第2の面とを導通させる導電部分を有する複数の柱体と、該複数の柱体を充填する絶縁性基板と、から構成された表裏導通基板と、該表裏導通基板に実装された半導体部品と、を有することを特徴とするプリント板ユニット。

【0078】

【発明の効果】以上説明したように本発明によれば、狭ピッチでハイアスペクトなスルーホールの形成が可能となり、高密度な表裏導通基板を提供することができる。また、芯となる柱体の露出面に導電性膜を形成することで表裏導通の信頼性も向上する。

【0079】また、表裏導通基板にパッドが形成されることにより、半導体実装用基板に適用可能となるので、例えばCSP等の小型で且つ多端子の半導体部品の実装が可能となる。

【0080】また、表裏導通基板に薄膜層が形成されることによって回路配線数が増加しても、基板の表裏を接続するスルーホールの数も増やすことができる。この表裏導通基板が搭載された電子機器における高速処理等の性能向上に寄与する。

【0081】また、熱膨張率の調整を行うこととなり、熱膨張率の差に伴う金属バンプとパッドとの接合部分に加わるストレスを軽減することができる。

【0082】また、表裏導通基板は、多層プリント配線板の内層板としてや、MCM実装用のコア基板としても適用でき、汎用性が高い。

【0083】また、同軸構造のスルーホールの形成が可能となり、第1の柱体と第2の柱体間の距離を調整することで、従来できなかったインピーダンスの調整が可能となり、この表裏導通基板が搭載された電子機器における性能の向上に寄与する。

【図面の簡単な説明】

【図1】本発明の第1の表裏導通基板を示す図である。\*

\*【図2】第1の表裏導通基板の製造手順を示す図(その1)である。

【図3】第1の表裏導通基板の製造手順を示す図(その2)である。

【図4】第1の表裏導通基板をICパッケージ用基板に適用した例を示す図である。

【図5】図4における変形例を示す図である。

【図6】本発明の第2の表裏導通基板を示す図(その1)である。

10 【図7】本発明の第2の表裏導通基板を示す図(その2)である。

【図8】第2の表裏導通基板の配線構造を示す図である。

【図9】本発明の第3の表裏導通基板を示す図(その1)である。

【図10】本発明の第3の表裏導通基板を示す図(その2)である。

【図11】本発明の第4の表裏導通基板を示す図である。

20 【図12】第4の表裏導通基板の製造手順を示す図(その1)である。

【図13】第4の表裏導通基板の製造手順を示す図(その2)である。

【図14】第4の表裏導通基板を多層プリント配線板に適用した例を示す図である。

【図15】第4の表裏導通基板をコア基板に適用した例を示す図である。

【図16】表裏導通基板に熱膨張率調整材を混入させた状態を示す図である。

30 【符号の簡単な説明】

1 表裏導通基板

2 柱体

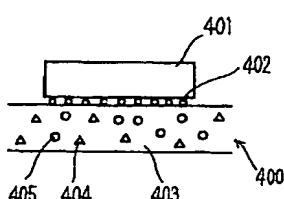
3 導電性膜

4 絶縁性基板

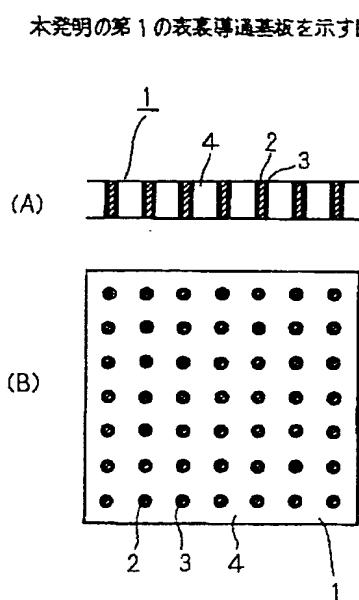
5 レジスト

### 【図16】

表裏導通基板に熱膨張率調整材を混入させた状態を示す図

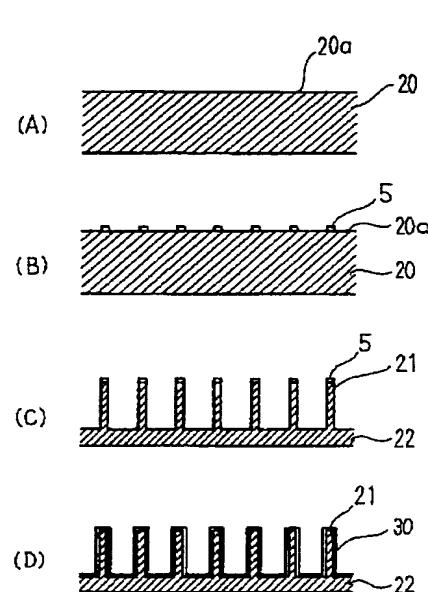


【図1】



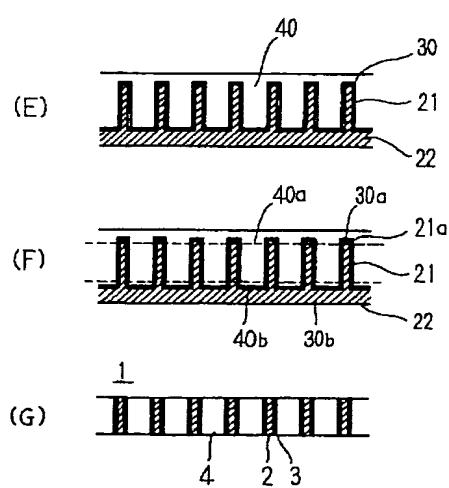
【図2】

本発明の第1の表裏導通基板を示す図 第1の表裏導通基板の製造手順を示す図(その1)



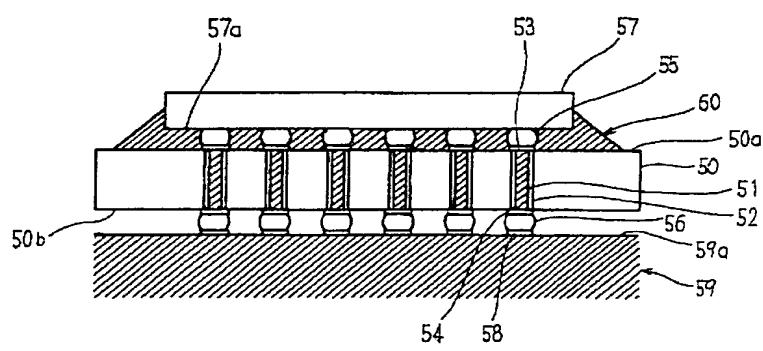
【図3】

第1の表裏導通基板の製造手順を示す図(その2)



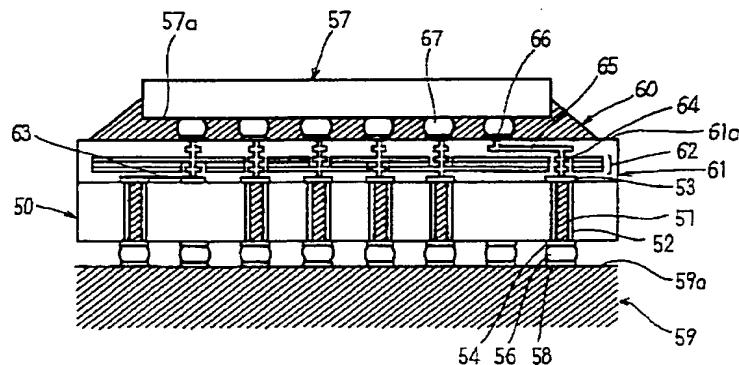
【図4】

第1の表裏導通基板をIC/パッケージ用基板に適用した例を示す図



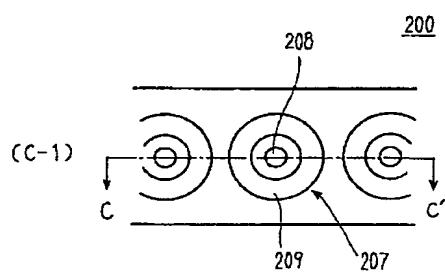
【図5】

図4における変形例を示す図



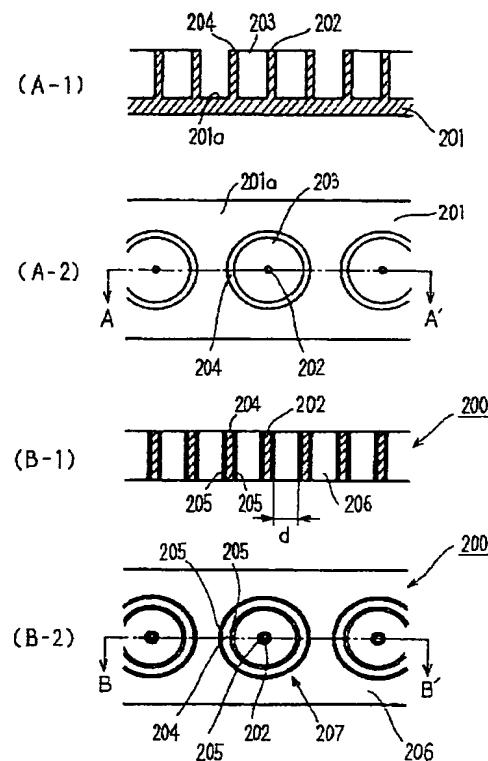
【図7】

本発明の第2の表裏導通基板を示す図(やの2)



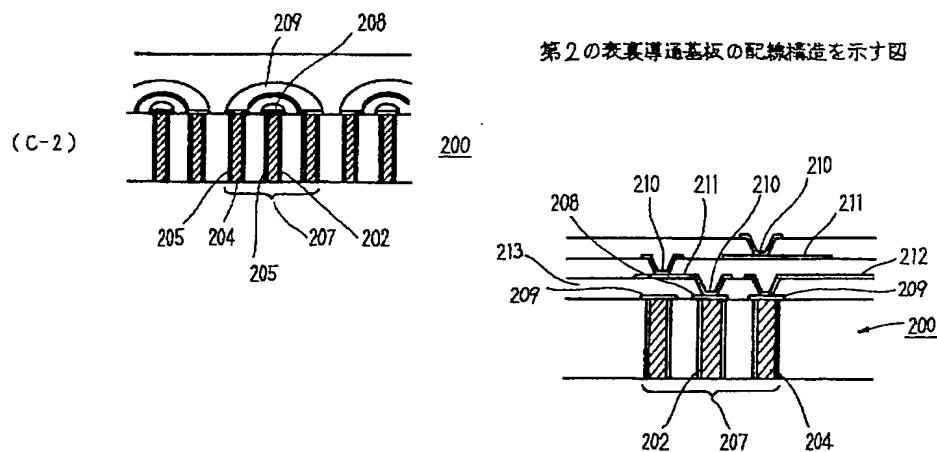
【図6】

本発明の第2の表裏導通基板を示す図(やの1)



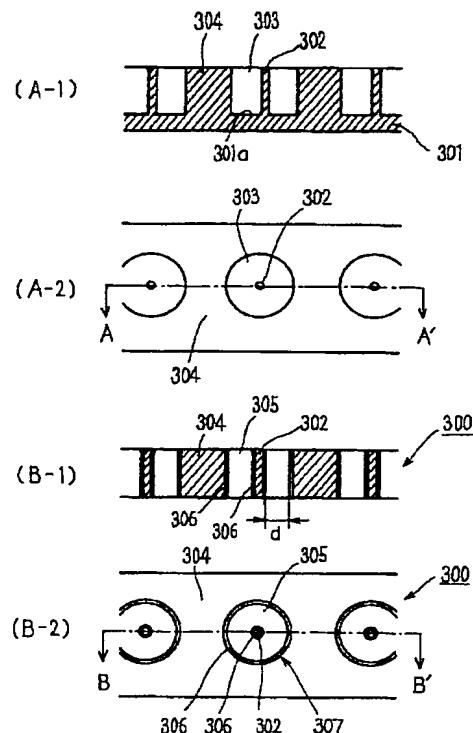
【図8】

第2の表裏導通基板の配線構造を示す図



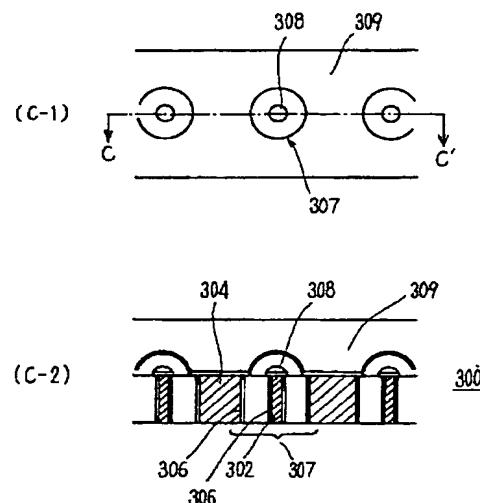
【図9】

本発明の第3の表裏導通基板を示す図(図の1)



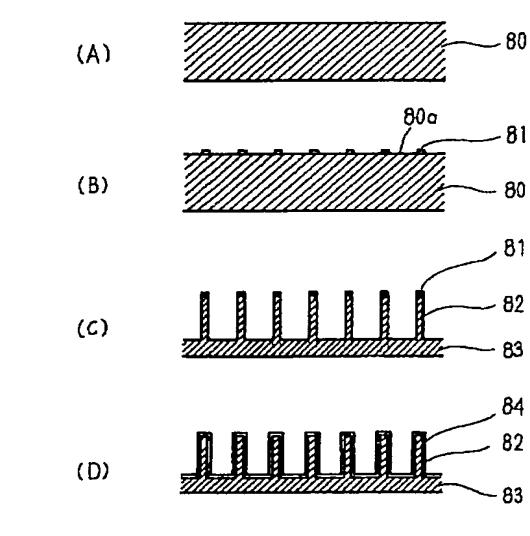
【図10】

本発明の第3の表裏導通基板を示す図(図の2)



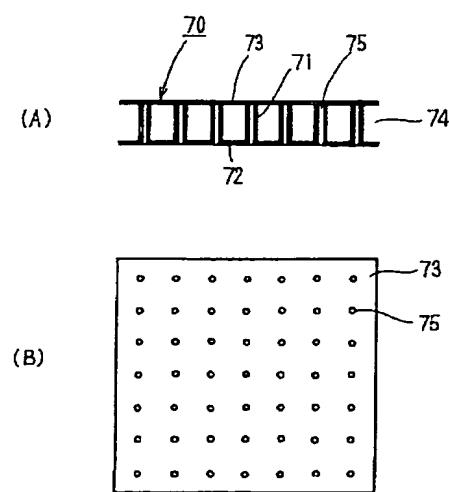
【図12】

第4の表裏導通基板の製造手順を示す図(図の1)



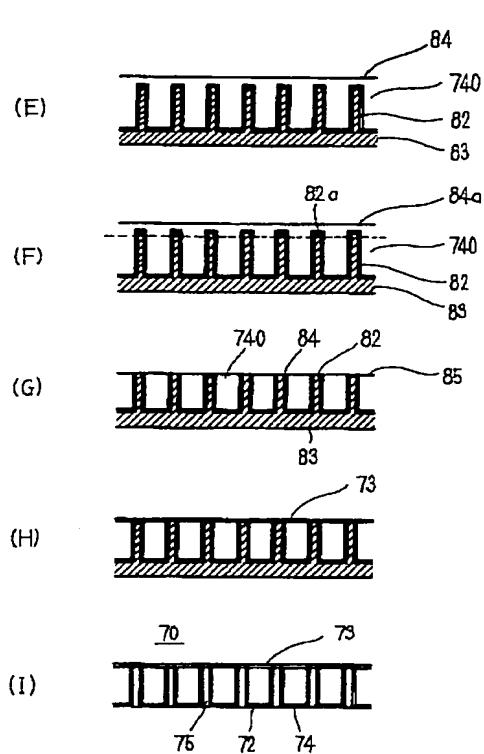
【図11】

本発明の第4の表裏導通基板を示す図



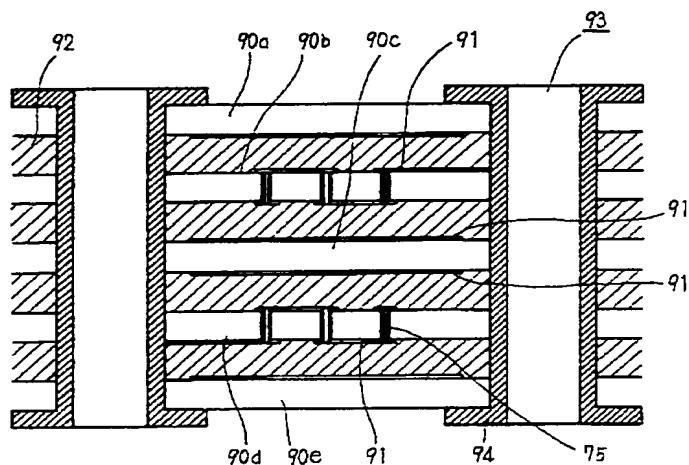
【図13】

第4の表裏導通基板の製造手順を示す図(その2)



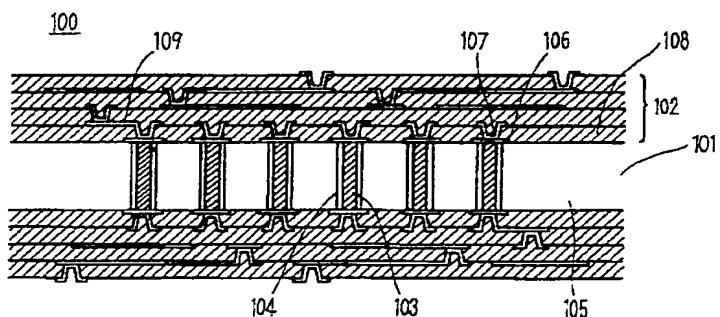
【図14】

第4の表裏導通基板を多層プリント配線板に適用した例を示す図



【図15】

第4の表裏導通基板をコア基板に適用した例を示す図



フロントページの続き